

## ⑫ 公開特許公報(A) 昭61-150216

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和61年(1986)7月8日

H 01 L 21/28

7638-5F

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 半導体装置の製造方法

① 特 願 昭59-270862

② 出 願 昭59(1984)12月24日

⑦ 発 明 者 藤 子 宏 子 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑧ 発 明 者 小 柳 光 正 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑨ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑩ 代 理 人 弁理士 高橋 明夫 外1名

## 明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. シリコン基板上に金属膜を形成し、略400～600℃の温度範囲で熱処理をしてシリサイド化反応を行ない、未反応金属をエッチング除去して前記シリコン基板側のシリコン面上に高抵抗の金属シリサイドを形成し、この後600℃以上の温度で熱処理を行なって前記高抵抗の金属シリサイドを低抵抗の金属シリサイドに変える工程を含んでなる半導体装置の製造方法。

2. 前記金属膜に高融点金属(Mとおく)を用い、前記高抵抗の金属シリサイドとして $M_xSi_y$  ( $2x > y$ )を形成し、前記低抵抗の金属シリサイドとして $MSi_2$ を形成してなる特許請求の範囲第1項記載の半導体装置の製造方法。

3. シリサイドはシリコン基板の不純物拡散層上に形成してなり不純物拡散層形成用のイオン打込みはシリサイド形成前後のいずれかに行なう特許請求の範囲第1項又は第2項記載の半導体

装置の製造方法。

発明の詳細な説明

〔技術分野〕

本発明はシリコン基板の表面、特に不純物拡散層の表面に金属シリサイドを形成して素子の高集積化および動作の高速化を図った半導体装置の製造方法に関するものである。

〔背景技術〕

近年におけるIC、LSI等の半導体装置の高集積化に伴って素子の微細化が進められており、例えばMOS型半導体装置ではソース・ドレイン領域等の不純物拡散層が浅型化、低面積化され、また素子間を接続する配線も低幅化されている。このため、不純物拡散層や配線における電気抵抗が増大され、素子動作の高速化の障害となっている。このようなことから、最近の半導体装置では不純物拡散層の表面、つまりシリコン基板の表面を金属シリサイド化して抵抗の低減を図り、これから素子動作速度の向上を図る試みがなされている。

即ち、日経マグローヒル社発行「日経エレクトロニクス（別冊マイクロデバイス）」1980年1月23日号P. 118～120にその一例が開示されているように、ソース・ドレイン領域等の上にP i、T iなどの金属を全面に付け、これを熱処理することによりシリコン表面に対応する部位（界面）の金属にシリサイドを形成できる。その後、未反応金属のみをエッチング除去することにより、シリコン表面上にのみ金属シリサイドを形成し、この金属シリサイドの低抵抗性（たとえばT iSi<sub>2</sub>のシート抵抗約2Ω/□（T iの被着膜厚600Åアニール温度700℃の場合））によって素子の低抵抗化を達成できる。

しかしながら、本発明者が前記方法により形成した金属シリサイドについて検討したところ、素子間や電極とを絶縁する絶縁膜（フィールド酸化膜や電極の両側のCVD・SiO<sub>2</sub>膜など）上に金属シリサイドがせり上がる。またフィールド酸化膜や電極を絶縁するCVD・SiO<sub>2</sub>膜のSiO<sub>2</sub>と被着金属M（T i、Mo、W、Taなど）と反応

(3)

して金属シリサイド（M-Si-O）がこれらフィールド酸化膜やCVD・SiO<sub>2</sub>膜上にも形成される。従って、素子間や電極との間で短絡事故が発生することが明らかとされた。例えば、第2図の例ではシリコン基板1上のソース・ドレイン領域13の表面に形成した金属シリサイド（MSi<sub>2</sub>）9aやこれと同時に形成したゲート電極（ポリシリコン）4上の金属シリサイド（MSi<sub>2</sub>）10aの各端が夫々素子間絶縁分離用のフィールド酸化膜2、サイドウォール（ゲート側部の絶縁膜としてのCVD・SiO<sub>2</sub>膜）6上にせり上がり（拡がり）、図示X箇所では両者が短絡されてしまう。また被着金属Mと、フィールド酸化膜2やサイドウォール6のSiO<sub>2</sub>とが反応して金属シリサイド（M-Si-O）14がフィールド酸化膜2やサイドウォール6上の被着金属の内側部分で形成されるので、外側の未反応の被着金属Mを図示の如くエッチング除去してもY箇所では金属シリサイド14を介して金属シリサイド9aと10aとが短絡してしまうし、フィールド酸化膜2上に金属シリサイ

ド14が残存してしまうことになり不具合である。このような不具合は半導体装置の信頼性を低下させることになる。

この原因について考察すると、金属膜中にシリコン基板のシリコンが吸い上げられるが、金属膜が厚くなるとこの吸い上げ量も多くなってシリサイド化反応が横方向に拡がり易くなりせり上がり現象が発生することになる。

#### 〔発明の目的〕

本発明の目的は、金属シリサイドを形成すべき領域以外への金属シリサイドの拡がりによるせり上りを防止し、かつ金属シリサイドを形成すべき領域以外の領域の絶縁膜のSiO<sub>2</sub>と金属とのシリサイド化反応を抑制して、金属シリサイドを形成すべき特にシリコン基板、つまり不純物拡散層上にのみ金属シリサイドを形成でき、その信頼性を向上して高集積化、高速化を達成できる半導体装置の製造方法を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあき

(5)

らかになるであろう。

#### 〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、シリコン基板上に金属膜を形成し、略400～600℃の温度範囲で熱処理をすることにより、シリコンの移動を抑え、セルフアラインで特にシリコン基板側のシリコン面上にのみ高抵抗の金属シリサイドを形成でき、それ以外の領域の未反応金属をエッチング除去した後、更に、600℃以上の高温で熱処理を行なって前記高抵抗の金属シリサイドを低抵抗の金属シリサイドに変えることができ、これによりシリコン面以外の面上に金属シリサイドが形成されたり、拡がったり（せり上ったり）するのを防止でき金属シリサイド膜における短絡を防止して素子の微細化を図り、高集積かつ高信頼性の半導体装置を得ることができる。

#### 〔実施例〕

(6)

第1図(a)~(f)は本発明をMOSトランジスタに適用した実施例であり、特にLDD(Lightly doped drain)型MOSトランジスタに適用した例である。

まず、同図(a)に示すようにP形シリコン基板1上に素子分離用のフィールド酸化膜( $\text{SiO}_2$ 膜)2およびゲート酸化膜3を形成し、かつその上にポリシリコン膜をパターンニングしてゲート電極4を形成する。しかる上で全面にP(りん)をたとえばドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ でイオン打込みし、セルフアライン法によってPイオン打込層5を形成する。

次いで、全面にCVD法により $\text{SiO}_2$ 膜を形成し、これを反応性イオンエッチング(以下、RIEと略称する。)法によりエッチバックすることにより同図(b)に示すようにゲート電極4の両側にサイドウォール6を形成する。

次に同図(c)のように全面に、たとえば約600~1200Åここでは600Åの厚さのTi(チタン)膜7をスパッタ法などにより形成する。そ

(7)

なおフィールド酸化膜2およびサイドウォール6上のTi膜7はシリサイド化されず、もとのままである。ここで、600℃以下の第1段アニールでは高抵抗のTiシリサイドが形成されるが、下限を略400℃以上と限定した理由は、略400℃以下でアニールを行なうと、形成されるTiシリサイドの膜厚が薄いために、後で第2段アニール(600℃以上の高温アニール)を行なってもその抵抗(略40Ω/□以上)がうまく下らないためである。なお、600℃以下の低温アニールを行なうと金属(ここではTi)とフィールド酸化膜2、サイドウォール6の $\text{SiO}_2$ との反応(シリサイド化反応即ちTi-Si-O)が抑えられると共に、Siの移動が抑えられることにより、形成される金属シリサイドここではTiシリサイド( $\text{Ti}_x\text{Si}_y$ ( $2x > y$ ))がシリコン基板1およびゲート電極4のシリコン面からフィールド酸化膜2やサイドウォール6へと横方向に拡がらない(せり上らない)という効果がある。

次にウェットエッチング(たとえばエッチング

(9)

して全面にAs(ひ素)をたとえば、ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ (エネルギー150KeV)でイオン打込みし、シリコン基板1とTi膜7との界面のミキシングを行なうと共にシリコン基板1内にAsイオン打込層8を形成する。なお、このときゲート電極4の上面においてもミキシングが行なわれる。

しかる後、略400~600℃(略400℃以上で600℃以下)の温度範囲で、かつ不活性ガス雰囲気中で低温アニール(第1段アニール)を行ない、同図(d)に示すようにセルフアラインでシリコン基板1のシリコン面上即ちAsイオン打込層8上のTi膜7をシリサイド化してTi(チタン)シリサイド( $\text{Ti}_x\text{Si}_y$ ( $2x > y$ ))、たとえばTiSi、 $\text{Ti}_3\text{Si}_2$ )9を形成する。このときゲート電極4上にもTiシリサイド( $\text{Ti}_x\text{Si}_y$ ( $2x > y$ ))10が形成される。このTiシリサイド( $\text{Ti}_x\text{Si}_y$ ここで $2x > y$ )9、10は高抵抗(Ti膜7の厚さ600Å、アニール温度500℃でシート抵抗30~40Ω/□)である。

(8)

液として $\text{H}_2\text{O}_2 : \text{NH}_3 : \text{H}_2\text{O} = 1 : 1 : 5$ の混合液)により、Ti膜7のシリサイド化されていないフィールド酸化膜2およびサイドウォール6上の未反応部分(金属部分)を除去すれば、シリコン基板1およびゲート電極4上のみ同図(e)に示す如く高抵抗のTiシリサイド9および10が残される。

その後、600℃以上の温度でかつ不活性ガス雰囲気中で高温アニール(第2段アニール)を行ない、Tiシリサイド9、10の $\text{Ti}_x\text{Si}_y$ ( $2x > y$ )を安定で低抵抗のTiSi<sub>2</sub>に変え、低抵抗のTiシリサイド(TiSi<sub>2</sub>)11、12を同図(f)に示す如くシリコン基板1およびゲート電極4上に形成する。これによりTiシリサイド11、12の抵抗値をたとえば略5~10Ω/□の如く小さくすることができる。またこのときの高温アニール(第2段アニール)によりPイオン打込層5、Asイオン打込層8が拡散されてN型でかつLDD構造の不純物拡散層、つまりソース・ドレイン領域13が図示の如く形成できMOSトラン

00

ジスタが形成される。

以上のような製造方法によって、金属シリサイドを形成すべきでないフィールド酸化膜2やサイドウォール6上で、シリサイド化反応、即ちTiとSiO<sub>2</sub>とのシリサイド化反応(Ti-Si-O)およびSiの移動によるTi<sub>x</sub>Si<sub>y</sub>(2x>y)の形成(シリコン面で形成されるTi<sub>x</sub>Si<sub>y</sub>(2x>y)の拡がり(せり上がり)に相当する。)を起さず、ソース・ドレイン領域13である不純物拡散層上およびゲート電極4などのシリコン面上のみに低抵抗の金属シリサイド(ここではTiSi<sub>2</sub>)を形成することができ、従って拡散層抵抗およびゲート電極抵抗を低くすることができると共に、相互間の短絡などの事故を確実に防止できるようになる。これにより素子(MOSトランジスタ)の微細化を図って高集積化を達成し(VLSIの高集積化が容易となる。)かつ一方ではその信頼性を向上できる。

#### 〔効果〕

- (1) シリコン基板上に金属膜を形成した上で略

03

(たとえばVLSI半導体装置)を製造できる。

以上本発明によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、金属シリサイドを形成する金属としてTi(チタン)を用いているが、Ta(タンタル)、Mo(モリブデン)、W(タングステン)、Pt(白金)、Pd(パラジウム)、Hf(ハフニウム)などの高融点金属を用いてもよく、この場合Tiを用いた場合と同様の作用効果が得られることはもちろんである。また拡散層形成用のイオン打込み(ここではAsイオン打込み)は高抵抗のTiシリサイド9を形成後(同図(d)、(e)参照)行なってもよく、また低抵抗のTiシリサイド11を形成後に行なってもよい。

#### 〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるMO

03

400~600℃の温度範囲で熱処理をしてシリサイド化反応を行なうと、Siの移動が抑えられシリコン基板側のシリコン面(ゲート電極がポリシリコンの場合も含む)上のみ金属シリサイド(高抵抗のM<sub>x</sub>Si<sub>y</sub>(2x>y))を形成することができ、それ以外の未反応金属をエッチング除去してしまうので、金属シリサイドを形成すべきでない領域でのシリサイド化反応(M-Si-O)及び金属シリサイドを形成すべきでない領域への金属シリサイド(M<sub>x</sub>Si<sub>y</sub>(2x>y)の拡がり(せり上り)を起らなくすることができる。

(2) 更に600℃以上の温度で熱処理をすることにより、前記金属シリサイド(高抵抗のもの)を低抵抗化する(MSi<sub>2</sub>を形成する)ことができ、従って前記シリコン面上のみに低抵抗の金属シリサイドを形成することができ、前述した短絡などの事故を確実に防止できる。

(3) 従って拡散層抵抗やゲート電極抵抗などを低くするのに利用できる。

(4) 以上より高集積度かつ高信頼性の半導体装置

04

S型電界効果トランジスタに適用した場合について説明したが、それに限定されるものではなく、MOS型半導体装置、バイポーラ型半導体装置はもとより、高集積、高速型の半導体装置の全てに適用できる。

#### 図面の簡単な説明

第1図(a)~(f)は本発明の一実施例を工程順に示す断面図、

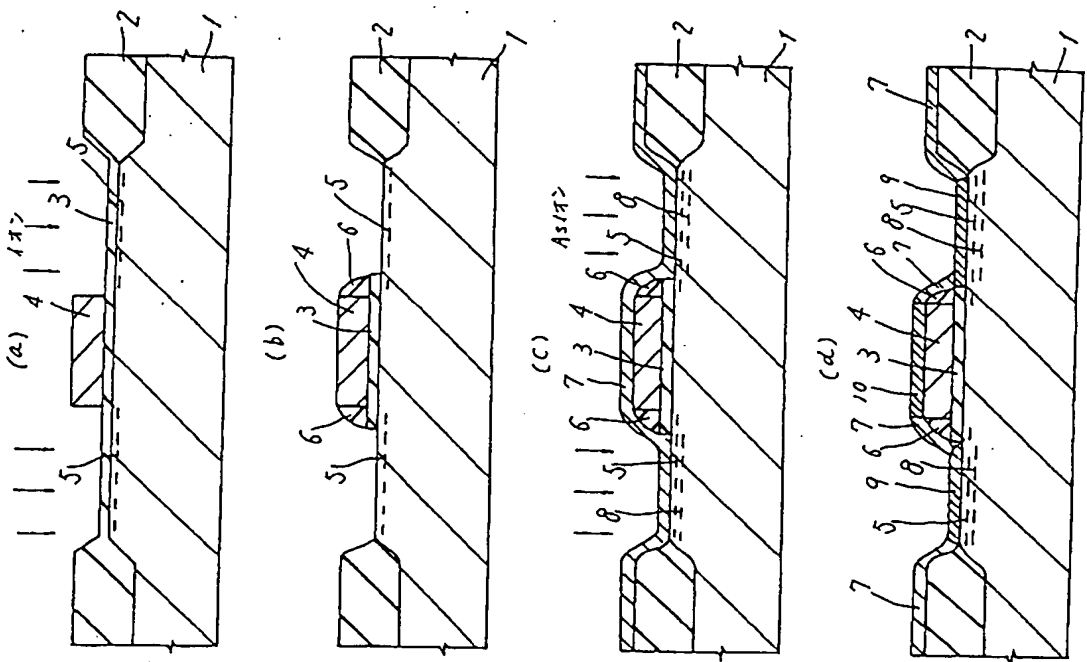
第2図は従来の不具合を説明する断面図である。

1…シリコン基板、2…フィールド酸化膜、3…ゲート酸化膜、4…ゲート電極、6…サイドウォール、7…Ti膜、9、10…Tiシリサイド(Ti<sub>x</sub>Si<sub>y</sub>, 2x>y)、11、12…Tiシリサイド(TiSi<sub>2</sub>)、13…ソース・ドレイン領域。

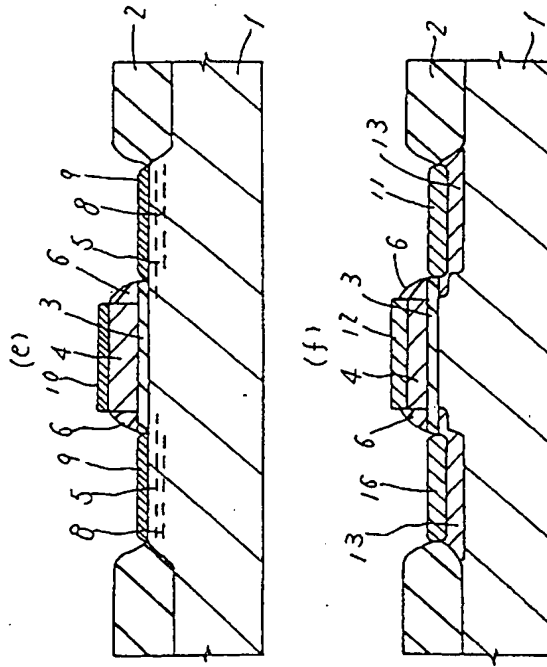
代理人 弁理士

高橋 明 夫

第 1 図



第 1 図



第 2 図

